

(19) 日本国特許庁 (J P)

## (12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2002-533916

(P2002-533916A)

(43) 公表日 平成14年10月8日 (2002.10.8)

(51) IntCl. <sup>7</sup>	識別記号	F I	テ-マ-ト* (参考)
H 0 1 L 27/105		G 1 1 C 11/14	A 5 E 0 4 9
G 1 1 C 11/14		11/15	5 F 0 8 3
	11/15	H 0 1 F 10/14	
H 0 1 F 10/14		H 0 1 L 43/08	Z
H 0 1 L 43/08		27/10	4 4 7
		審査請求 未請求	予備審査請求 未請求 (全 19 頁)

(21) 出願番号 特願2000-590173(P2000-590173)  
 (86) (22) 出願日 平成11年12月13日 (1999.12.13)  
 (85) 翻訳文提出日 平成12年8月9日 (2000.8.9)  
 (86) 国際出願番号 P C T / U S 9 9 / 2 9 3 0 9  
 (87) 国際公開番号 W O 0 0 / 3 8 1 9 1  
 (87) 国際公開日 平成12年6月29日 (2000.6.29)  
 (31) 優先権主張番号 0 9 / 2 1 6 , 8 2 1  
 (32) 優先日 平成10年12月21日 (1998.12.21)  
 (33) 優先権主張国 米国 (U S)  
 (81) 指定国 E P (A T , B E , C H , C Y ,  
 D E , D K , E S , F I , F R , G B , G R , I E , I  
 T , L U , M C , N L , P T , S E ) , J P , K R , S  
 G

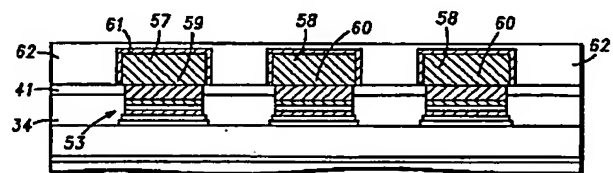
(71) 出願人 モトローラ・インコーポレイテッド  
 MOTOROLA INCORPORAT  
 RED  
 アメリカ合衆国イリノイ州シャンバーグ、  
 イースト・アルゴンクイン・ロード1303  
 (72) 発明者 マーク・デュラム  
 アメリカ合衆国アリゾナ州チャンドラー、  
 ウェスト・オーキッド・レーン4076  
 (72) 発明者 グロリア・ケルスツィコウスキー  
 アメリカ合衆国アリゾナ州チャンドラー、  
 ウェスト・ゴールドフィンチ・ウェイ1402  
 (74) 代理人 弁理士 大貫 進介 (外1名)

最終頁に続く

(54) 【発明の名称】 磁気ランダム・アクセス・メモリの製造方法

## (57) 【要約】

磁気抵抗ランダム・アクセス・メモリ (MRAM) のための改善された新規の作成方法が提供される。MRAM装置は、メモリ要素と、メモリ要素を管理する回路構成とを有する。この回路構成は、基板 (11) 上に集積されるトランジスタ (12a)、デジット線 (29) などを備える。回路構成が、まずCMOSプロセス下で作成され、次に磁気メモリ要素 (53, 54) が作成される。回路上に誘電層 (40, 41) がデポジションされ、誘電層内にトレンチ (42, 43) が形成される。磁気層 (48, 49) と磁気層に挟まれる非磁気層 (50) とを備えるブランケット層 (46) が誘電層 (41) 上とトレンチ内とにデポジションされる。次にトレンチ外のブランケット層が除去され、トレンチ内にMRAM要素 (53, 54) が形成される。



【特許請求の範囲】

【請求項1】 磁気メモリ・セルと前記磁気メモリ・セルの動作を制御する回路構成とを有するランダム・アクセス・メモリを作成する方法であって：

前記磁気メモリ・セルおよび前記回路構成が形成される基板を設ける段階；

前記基板上に前記回路構成を形成する段階；

前記回路構成上に誘電層をデポジションする段階；

前記誘電層内にトレンチを形成する段階；および

前記回路構成に結合される前記磁気メモリ・セルを形成する段階；

によって構成されることを特徴とするランダム・アクセス・メモリを作成する方法。

【請求項2】 前記磁気メモリ・セルを形成する前記段階が：

前記誘電層上と前記トレンチ内とにブランケット層をデポジションする段階；

前記ブランケット層上に導電層をデポジションする段階；および

前記トレンチ外の前記導電層と前記誘電層上の前記ブランケット層とを除去する段階；

によって構成されることを特徴とする請求項1記載のランダム・アクセス・メモリを作成する方法。

【請求項3】 前記ブランケット層をデポジションする前記段階が：

第1磁気層をデポジションする段階；

前記第1磁気層上に非磁気層をデポジションする段階；および

前記非磁気層上に第2磁気層をデポジションする段階；

によって構成されることを特徴とする請求項2記載のランダム・アクセス・メモリを作成する方法。

【請求項4】 前記回路構成を形成する前記段階が：

前記磁気メモリ・セルに隣接して第1導電線を形成する段階；および

前記磁気メモリ・セルに向かう表面を除いて前記第1導電線の周囲に磁束集中層を形成する段階；

によって構成されることを特徴とする請求項1記載のランダム・アクセス・メモリを作成する方法。

【請求項 5】 前記第 1 導電線に垂直で前記磁気メモリ・セルに電氣的に結合される第 2 導電線を形成する段階；および

前記磁気メモリ・セルに向かう表面を除いて前記第 2 導電線の周囲に磁束集中層を形成する段階；

によってさらに構成されることを特徴とする請求項 4 記載のランダム・アクセス・メモリを作成する方法。

【請求項 6】 前記磁気メモリ・セルを形成する前記段階が：

第 1 磁気層をデポジションする段階；

前記第 1 磁気層上に非磁気層をデポジションする段階；および

前記非磁気層上に第 2 磁気層をデポジションする段階；

によって構成されることを特徴とする請求項 1 記載のランダム・アクセス・メモリを作成する方法。

【請求項 7】 磁気メモリ・セルと前記磁気メモリ・セルの動作を制御する回路構成とを有するランダム・アクセス・メモリを作成する方法であって：

前記磁気メモリ・セルおよび前記回路構成が形成される基板を設ける段階；

前記基板上に、第 1 導電線を備える前記回路構成を形成する段階；

前記回路構成上に誘電層をデポジションする段階；

前記誘電層を等方性エッチングして、前記第 1 導電線上にアンダーカット・トレンチを形成する段階；

前記誘電層上と前記アンダーカット・トレンチ内とにブランケット層をデポジションする段階；

前記ブランケット層上に導電層をデポジションする段階；

前記アンダーカット・トレンチ外の前記導電層と前記誘電層上の前記ブランケット層とを除去する段階；および

前記第 1 導電線に垂直で、前記磁気メモリ・セル上の前記導電層を通じて前記磁気メモリ・セルに電氣的に結合される第 2 導電線を形成する段階；

によって構成されることを特徴とするランダム・アクセス・メモリを作成する方法。

【請求項 8】 前記回路構成を形成する前記段階が、前記磁気メモリ・セル

に向かう表面を除いて前記第1導電線の周囲に磁束集中層を形成する段階を含むことを特徴とする請求項7記載のランダム・アクセス・メモリを作成する方法。

【請求項9】 前記第2導電線を形成する前記段階が、前記磁気メモリ・セルに向かう表面を除いて前記第2導電線の周囲に磁束集中層を形成する段階を含むことを特徴とする請求項7記載のランダム・アクセス・メモリを作成する方法。

【請求項10】 前記ブランケット層をデポジションする前記段階が：  
第1磁気層をデポジションする段階；  
前記第1磁気層上に非磁気層をデポジションする段階；および  
前記非磁気層上に第2磁気層をデポジションする段階；  
によって構成されることを特徴とする請求項7記載のランダム・アクセス・メモリを作成する方法。

## 【発明の詳細な説明】

### （産業上の利用分野）

本発明は、磁気ランダム・アクセス・メモリ（MRAM：magnetic random access memory）の製造方法に関し、さらに詳しくは、相補型金属酸化物半導体（CMOS：complementary metal oxide semiconductor）プロセス下で形成されるメモリ要素を制御する回路構成上に配置される磁気メモリ要素の製造方法に関する。

### 【0001】

#### （従来の技術）

磁気メモリ要素は、非磁気層により隔てられる強磁気層を備える構造を有する。情報は、磁気層内の磁化ベクトルの方向として格納される。たとえば、ある磁気層内の磁化ベクトルは、磁氣的に固定されており、他方の磁気層の磁化方向は「平行」および「逆平行」状態とそれぞれ称される情報と同じ方向と反対方向との間で自在に切り替わる。平行状態および逆平行状態に応答して、磁気メモリ要素は2つの異なる抵抗を表す。この抵抗は、2つの磁気層の磁化ベクトルが実質的に同じ方向と逆方向とをそれぞれ指す場合に、最小値と最大値を有する。従って、抵抗の変更を検出することにより、MRAM装置は磁気メモリ要素に格納した情報を提供することができる。

### 【0002】

MRAM装置は、磁気メモリ要素と他の回路、たとえば、磁気メモリ要素の制御回路、磁気メモリ要素の状態を検出する比較器、入力／出力回路などを統合する。これらの回路は、MRAM装置の消費電力を軽減するためにCMOS技術のプロセスにおいて作成される。CMOSプロセスは、たとえば誘電層および金属層をデポジションしたり、インプラントをアニーリングするために摂氏300度超の高温段階を必要とする。

### 【0003】

磁気層は、CoFeおよびNiFeCoなどの強磁性材料を用いるが、これらの材料は高温による磁気材料の混合を防ぐために摂氏300度未満の処理を必要とする。従って、磁気メモリ要素はCMOS処理の後で、異なるステージにおいて製造しなければならない。

#### 【0004】

磁気メモリ要素は、酸化されやすく腐食に敏感な成分を含む。磁気メモリ要素を劣化から保護し、MRAM装置の性能と信頼性を維持するために、パッシベーション層が磁気メモリ要素の上に形成される。

#### 【0005】

さらに、磁気メモリ要素はきわめて薄い層を含み、その一部は数十オングストロームの厚みである。磁気メモリ要素の性能は、磁気層がデポジションされる表面条件に敏感である。従って、MRAM装置の特性が低下することを防ぐためには、平坦な表面を作り出すことが必要である。

#### 【0006】

磁気メモリ要素において状態を読み書きするための磁気フィールドを生成するために金属線が採用される。消費電力を最小限に抑えるために、電流量はより少ないことが望ましい。

#### 【0007】

従って、本発明の目的は、装置の作成中に磁気メモリ要素の熱崩壊を防ぐ、改善されたMRAM装置を提供することである。

#### 【0008】

本発明の別の目的は、磁気メモリ要素の酸化および腐食を防ぐ、改善されたMRAM装置を提供することである。

#### 【0009】

本発明のさらに別の目的は、装置の消費電力を軽減する、改善されたMRAM装置を提供することである。

#### 【0010】

本発明のさらに別の目的は、CMOSプロセスに改善されたMRAM装置を統合する方法を提供することである。

#### 【0011】

(発明の概要)

上記その他の必要性は、磁気メモリ要素の動作を制御する回路構成上に磁気メモリ要素を備える磁気抵抗ランダム・アクセス・メモリ (MRAM) を装備すること

で実質的に満足される。第1に、回路構成が、摂氏300度以上の熱処理を必要とするCMOSプロセス下で、基板の上に形成される。回路構成の作成中に、導電線も形成され、これらは磁気メモリ要素内の状態を読み書きするための磁気フィールドを生成するために用いられる。金属線は、磁界が磁気メモリ要素上に集中することを助けるパーマロイ層などの透過性の高い材料で囲まれる。回路構成の完成後、回路構成を含む層の表面が化学機械研磨（CMP：chemical mechanical polishing）プロセスで研磨され、このプロセスによって回路構成を含む層上に平坦な表面が作られ、次に誘電層がその表面上にデポジションされる。誘電層上にマスクが形成され、誘電層がエッチングされてトレンチとなる。磁気メモリ層を形成するブランケット層が誘電層上とトレンチ内とにデポジションされて、その後でブランケット層上に導電層がデポジションされる。次に、誘電層上のブランケット層とトレンチ外の導電層とが化学機械研磨（CMP）法によって除去され、これで平坦な表面が得られる。ブランケット層と導電層とをこのように除去することで、トレンチ内に磁気メモリ要素が得られる。磁気メモリ要素の形成後、導電線が平坦な表面上に形成され、これがトレンチ内で導電層を通じて磁気メモリ要素に結合される。CMOSプロセスの後で磁気メモリ要素を作成することによって、磁気メモリ要素の性能と信頼性が改善され、磁気メモリ要素の熱崩壊が回避される。

#### 【0012】

（好適な実施例の説明）

図1ないし図9は、磁気メモリ要素を制御するトランジスタを備える磁気抵抗ランダム・アクセス・メモリ（MRAM：magnetoresistive random access memory）の形成段階を順次に示す断面図である。

#### 【0013】

特に図1を参照して、部分的に作成されたMRAM装置10の断面図が示される。ここでは装置10は、P型シリコン基板11を備える。装置10は、たとえば、周知のCMOSプロセス下で作成されるNMOS切替トランジスタ12a、12bなどの回路構成を有する。他の回路要素、たとえば入力／出力回路、データ／アドレス・デコーダ、比較器などをMRAM装置に入れることもできるが、これらは図を簡略

にするために省略されている。

#### 【0014】

まず最初に、基板11が設けられて、N<sup>+</sup>領域13a, 13b, 13cのウィンドウをパターニングし、ソース/ドレイン領域13a, 13b, 13cを注入する。次に、分離領域14a, 14bが形成されて分離を行う。続いて、多結晶シリコン層15a, 15bが基板11上にデポジションされ、ゲート領域を形成する。金属層16a, 16bがN<sup>+</sup>領域13a, 13b上にデポジションされ、ソース電極となり、一方で、金属層16cがN<sup>+</sup>領域13c上にデポジションされてドレイン電極となる。さらに、ゲート電極のための金属層17a, 17bが多結晶シリコン層15a, 15b上にそれぞれデポジションされる。導体線18が金属層16c上に形成され、トランジスタ12a, 12bを通じて検知電流を磁気メモリ要素に供給する。磁気メモリ要素については、後で説明する。磁気メモリ要素に検知電流を伝える働きをするプラグ導体19a, 19bが金属層16a, 16b上にそれぞれ形成され、それらと相互接続される。磁気メモリ要素、デジット線およびワード線を除くすべてのMRAM装置要素は、誘電性材料20が充填される前に基板11上に集積される。その後、装置10の表面がCMP（化学機械研磨）プロセスにより研磨されて、誘電層20の上面は平坦になる。

#### 【0015】

部分的に作成されたMRAM装置10が図1に示されるように完成すると、磁気メモリ要素がデジット線およびワード線と共に装置10上に形成される。図2に示されるように、AlN, AlO, SiNなどの材料を用いるエッチ・ストップ層21が装置10の表面上にデポジションされる。エッチ・ストップ層21の代わりに、エンドポイント・エッチングなど他の方法を用いてもよい。二酸化シリコン（SiO<sub>2</sub>）層22がエッチ・ストップ層21の上に、4,000ないし6,000Åの厚みでデポジションされる。

#### 【0016】

次の段階で、二酸化シリコン層22の上にマスク層がデポジションされ、標準的なリソグラフィ法を用いて、エッチング・マスクとしてパターニングおよび画成される。図2に示されるように、二酸化シリコン20がエッチングによりエッ



チ・ストップ層 2 1 まで除去され、二酸化シリコン層 2 2 内にトレンチ 2 3 a ~ 2 3 d が形成される。次に露出されたエッチ・ストップ層がトレンチ 2 3 a ~ 2 3 d から除去される。

#### 【0017】

図 3 を参照して、ニッケル-鉄など透過性の高い薄い磁界集束層 2 4 がトレンチ 2 3 a ~ 2 3 d と二酸化シリコン誘電層 2 5 の上にデポジションされる。高透過性層 2 4 は 100 ないし 500 Å の厚みである。磁界集束層 2 4 の密着性を高め、誘電体内への Ni または Fe の拡散に対するバリアとするために、Ta または TaN または他の材料の層を磁界集束層 2 4 と誘電層 2 5 との間に追加することもできる。次に導体金属層 2 6 が磁界集束層 2 4 上にデポジションされる。導体金属としては、アルミニウム、アルミニウム合金、銅および銅合金が採用される。磁界集束層 2 4 の密着性を高め、導体および/または誘電体内への Ni または Fe の拡散に対するバリアとするために、Ta または TaN または他の材料の層を磁界集束層 2 4 と導体層 2 6 との間に追加することもできる。金属層 2 6 のデポジション後に、トレンチ 2 3 a ~ 2 3 d と二酸化シリコン層 2 5 上の高透過性層 2 4 とから隆起させた金属を、CMP プロセスにより上面から除去して、図 4 に示すように、平坦な上面 2 8 を有する部分的に作成された MRAM 装置 2 7 が作り出される。

#### 【0018】

部分作成された MRAM 装置 2 7 は、トルクまたはデジット線 2 9, 30 を備え、その上に磁気メモリ要素が形成される。デジット線 2 9, 30 は、磁界を発生するための電流を伝え、この磁界が磁気メモリ要素に状態を格納させる。デジット線 2 9, 30 は、上面 2 8 の部分を除いて高透過性層 31, 32 により囲まれる。たとえば層 31 は、デジット線 2 9 を流れる電流により発生する磁界を、磁束漏洩から遮蔽し、層 31 により覆われない上面 2 8 を通じてデジット線 2 9 上に配置される磁気メモリ要素に磁界が集束することを容易にする。

#### 【0019】

図 5 を参照して、デジット線 2 9, 30 と誘電層 2 5 の上に誘電層 33 がデポジションされ、導体層 34 が誘電層 33 上にデポジションされる。誘電層 33 は、デジット線 2 9, 30 と導体層 34 との間に置かれて、それらの間を絶縁する

。誘電層 33 が部分的にエッチングされて、金属導体 37, 38 上にウィンドウ 35, 36 を作る。これらは、プラグ導体 19a, 19b を導体層 34 に電氣的に接続するために用いられる。ウィンドウ 35, 36 の形成後、導体層 34 が誘電層 33 と金属導体 37, 38 との上に約 500 Å の厚みでデポジションされる。導体層 34 上に磁気メモリ要素を形成するために、導体層 34 の上面は滑らかで平坦である必要がある。これは磁気メモリ要素がきわめて薄い膜を有するため、これにより磁気メモリ要素の好条件が得られる。平坦化するために、表面 39 を CMP プロセスなどの平坦化プロセスにより研磨して形成する。

#### 【0020】

次に図 6 を参照して、誘電層 40 が導電層 34 上にデポジションされる。通常 500 Å の厚みを持つ誘電層 40 に関しては、窒化シリコン (SiN) または窒化アルミニウム (AlN) が用いられる。さらに、酸化シリコン (SiO<sub>2</sub>) などの別の誘電層 41 が 2,000 ないし 5,000 Å の厚みで誘電層 40 上にデポジションされる。誘電層 40, 41 のデポジション後、層 41 上にエッチ・マスク (図示せず) が形成されて、デジット線 29 上にトレンチ 42 を、デジット線 30 上にトレンチ 43 を作る。エッチ・マスクにより、誘電層 41 はエッチ・ストップ層として機能する誘電層 40 までエッチングされる。誘電層 40 が等方性技術を用いて除去され、誘電層 41 のアンダーカットとなる。このアンダーカットは、縦の側壁上に連続してデポジションすることを防ぎ、それによって化学的エッチャントまたは物理的スパタリングを用いることなく自然にデポジションを隔離する。矢印 45 で示すトレンチの幅は通常 0.2 ~ 0.3 μm である。

#### 【0021】

図 7 を参照して、ブランケット層 46 と導電層 47 とが誘電層 41 上とアンダーカット・トレンチ 42, 43 内とにデポジションされる。ブランケット層 46 は、3 つの層 48 ~ 50 を備え、これらはプラズマ蒸着 (PVD: plasma vapor deposition) またはイオン・ビーム・デポジション (IBD: ion beam deposition) 法のいずれかによってデポジションされる。底部と上部の磁気層 48, 49 は、CoFe および NiFeCo などの磁性材料を利用し、中間層 50 は Al<sub>2</sub>O<sub>3</sub> または Cu などの非磁性材料を用いる。中間層は層 48, 49 に挟まれる。たとえば層 48 は、

硬性の磁気層として働き、磁化は固定されるが、上部の磁気層 4 9 の磁化方向は自由である。非磁気層 5 0 は次の方法で形成される。アルミニウム膜が底部の磁気層 4 8 上にデポジションされ、次にアルミニウム膜はRF酸素プラズマなどの酸化源により酸化される。別の方法としては、アルミニウムが層 4 8 上に酸化物と共にデポジションされ、その後で、加熱状態または非加熱状態の酸素雰囲気中で酸化が実行される。磁気メモリ要素のための層はきわめて薄く、磁気層 4 8, 4 9 は 20 ないし 200 Å で、非磁気層 5 0 は 10 ないし 30 Å の範囲で可変する。従って、ブランケット層 4 6 は通常 400 ないし 500 Å の厚みである。ブランケット層 4 6 の形成後、導電層 4 7 がブランケット層 4 6 上にデポジションされる。本実施例においては、層 4 7 は Co または Al で形成される。

#### 【0022】

層 4 7 のデポジション後、トレンチ 4 2, 4 3 の外にある誘電層 4 1 および層 4 7 上の層 4 8 ~ 5 0 が除去される。これを図 8 に示す。除去はCMPプロセスにより実行され、誘電層 4 1 上のきわめて平坦な表面と導電性ビア 5 1, 5 2 とができる。トレンチ 4 2, 4 3 内に残された層 4 8 ~ 5 0 が磁気メモリ要素 5 3, 5 4 を形成し、これらは導電性ビア 5 1, 5 2 および導体層 5 5, 5 6 とそれぞれオーミック・コンタクトを有する。

#### 【0023】

上記のプロセスのもとで、誘電層 4 1 上のブランケット層 4 6 が研磨および除去されて、トレンチ 4 2, 4 3 内に残る磁気層がメモリ要素として利用される。しかし、誘電層 4 1 上の磁気層をメモリ要素として用いることも可能である。この構造においては、導電層 4 7 の代わりに誘電層がブランケット層 4 6 の上にデポジションされ、誘電層 4 1 上の誘電層はCMPプロセスによって磁気層 4 9 まで研磨される。トレンチ 4 2, 4 3 内の誘電層は、磁気メモリ要素がそれらの間の絶縁を維持する助けとなる。たとえば、トランジスタ 12 a に対する電氣的接続部が誘電層 4 0, 4 1 内に形成される（図示せず）。

#### 【0024】

図 9 は、ビット線 5 7 を形成する断面図を示し、図 10 は、図 9 の矢印 10-10 により示されるデジット線 2 9, 磁気メモリ要素 5 3 およびビット線 5 7 の

部分的な断面図を示す。磁気メモリ要素53、54が図8に示されるように形成された後で、誘電層41および導電性ビア51、52の上に誘電層がデポジションされる。この誘電層がパターニングされて、ビット線57、58を形成し、誘電層41の上面と導電性ビア51、52までエッチングされる。次に、トレンチ59、60内にAlおよびCuなどの金属材料がデポジションされ、ビット線57、58を形成する。ビット線57、58上にある誘電層が除去され、NiFeなどの磁界集束高透過性層61がビット線57、58と誘電層41との上にデポジションされる。そして、誘電層62が磁界集束層61上にデポジションされる。

#### 【0025】

再び図9を参照して、磁気メモリ要素53に格納された情報を読み出すために、たとえばトランジスタ12aをオンにして、それに検知電流を供給する。オン信号がゲート電極17aに印加される。トランジスタ12aは、検知電流を導体線18からN+領域13c、13a、プラグ導体19a、導体層34および要素53を通じてビット線57まで流す。要素53の両端の磁気抵抗は、その中の状態に応じて変化する。要素53の電圧降下が検知されて、基準電圧と比較され、要素53に格納される状態が判定される。この比較は、たとえば比較器により実行されるが、図9には図示されない。

#### 【0026】

磁気メモリ要素53に対する書き込み動作においては、たとえば、デジット電流とビット電流とがデジット線29およびビット線57にそれぞれ供給される。ビット電流およびデジット電流により発生した合成磁界が要素53に印加される。合成磁界の磁化方向が、要素53に格納される状態を決定する。

#### 【0027】

以上、磁気メモリ要素に関する改善された新規の製造方法が開示された。磁気メモリ要素を制御する回路構成は、たとえばCMOSプロセスなど高温処理を必要とするプロセスのもとでまず作成され、その後で回路構成上に磁気メモリ要素が形成される。従って、磁気メモリ要素はCMOSプロセスにより作成された回路要素と集積され、高温により起こる金属組成物の劣化が防止される。さらに、デジット線およびビット線がパーマロイ層により囲まれるので、デジット電流およびビッ

ト電流が発生する磁界が遮蔽され、磁気メモリ要素上に集束して、所要電流が軽減される。

【図面の簡単な説明】

【図 1】 MRAM装置の形成段階を順次に示す断面図である。

【図 2】 MRAM装置の形成段階を順次に示す断面図である。

【図 3】 MRAM装置の形成段階を順次に示す断面図である。

【図 4】 MRAM装置の形成段階を順次に示す断面図である。

【図 5】 MRAM装置の形成段階を順次に示す断面図である。

【図 6】 MRAM装置の形成段階を順次に示す断面図である。

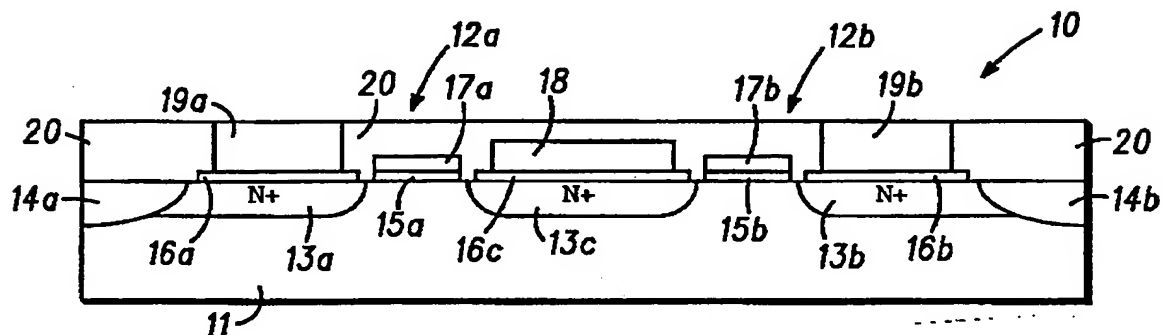
【図 7】 MRAM装置の形成段階を順次に示す断面図である。

【図 8】 MRAM装置の形成段階を順次に示す断面図である。

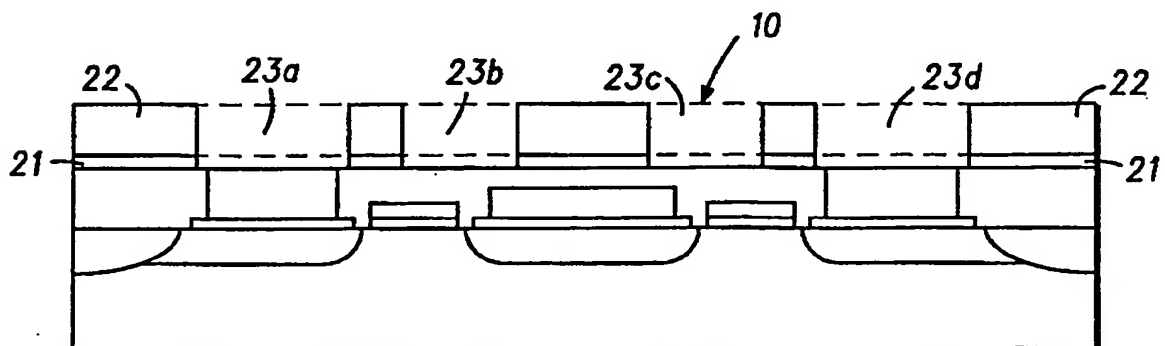
【図 9】 MRAM装置の形成段階を順次に示す断面図である。

【図 10】 図 9 の直線 10 - 10 から見た断面図である。

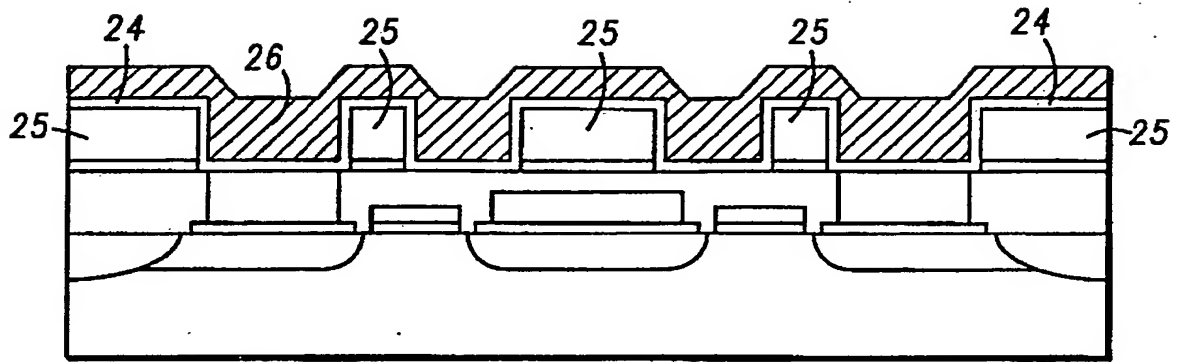
【図 1】



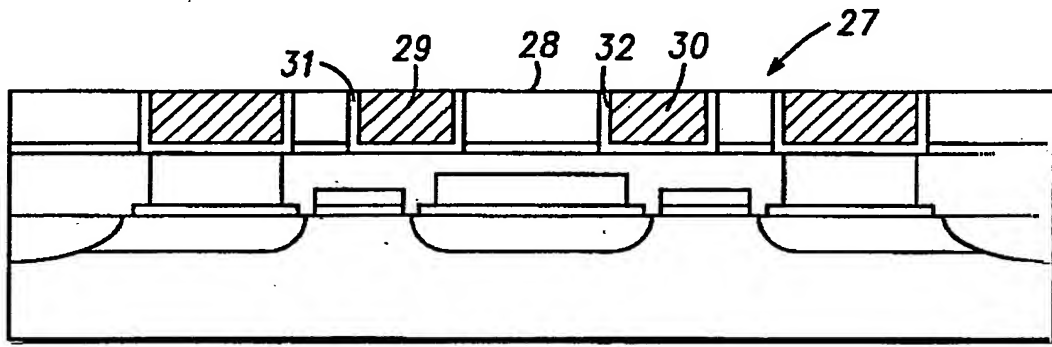
【図 2】



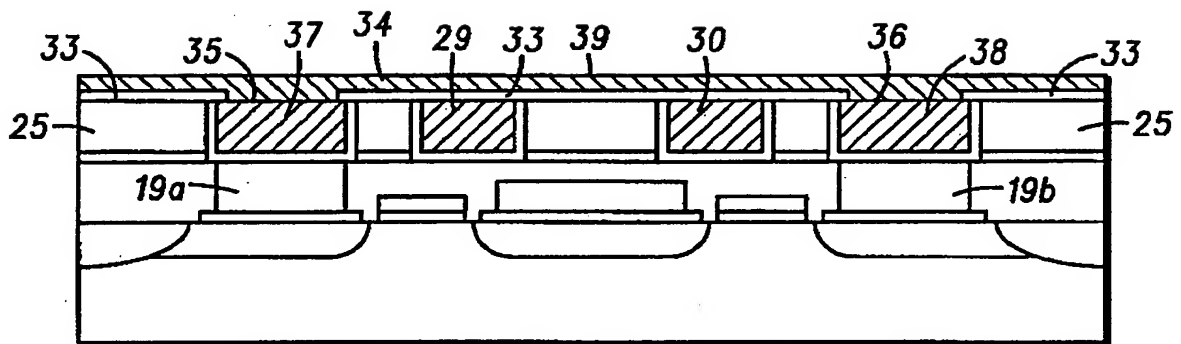
【図 3】



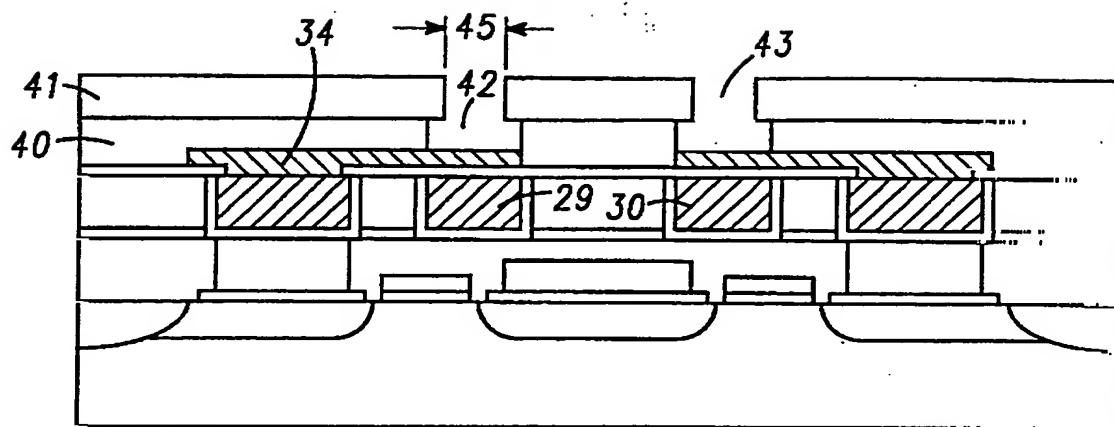
【図 4】



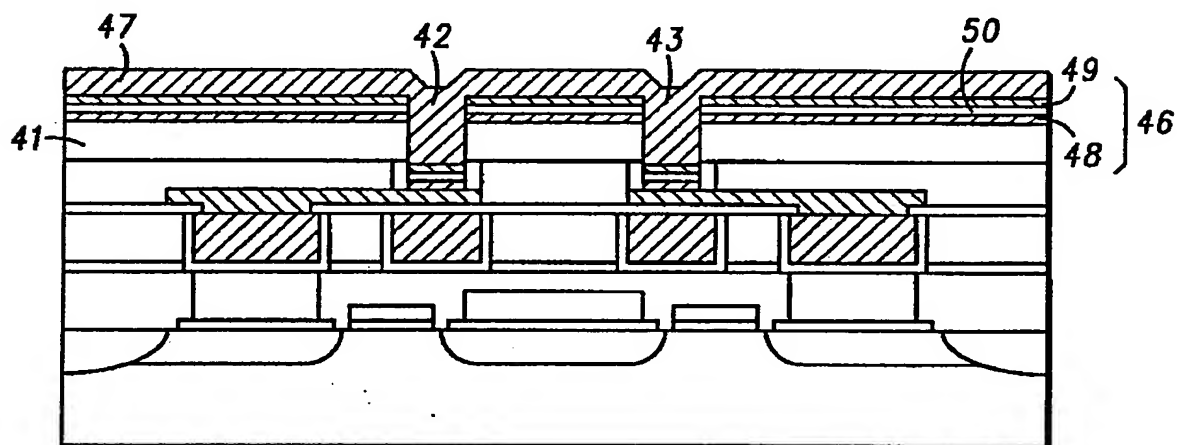
【図 5】



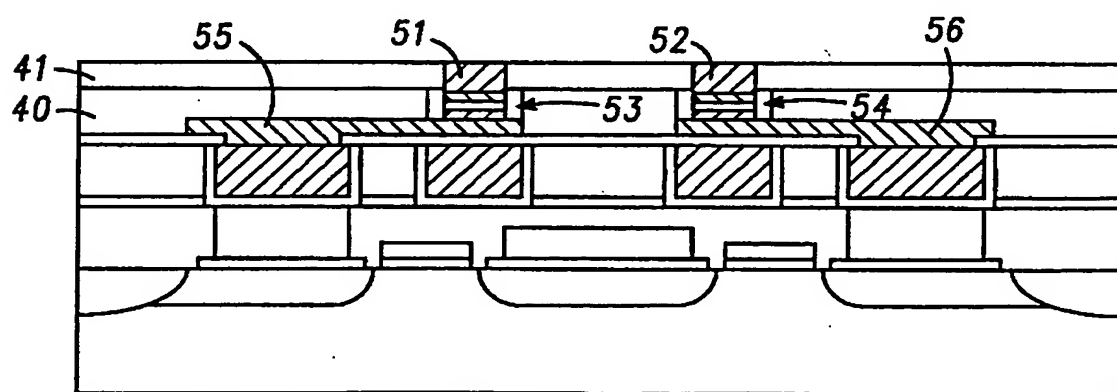
【図 6】



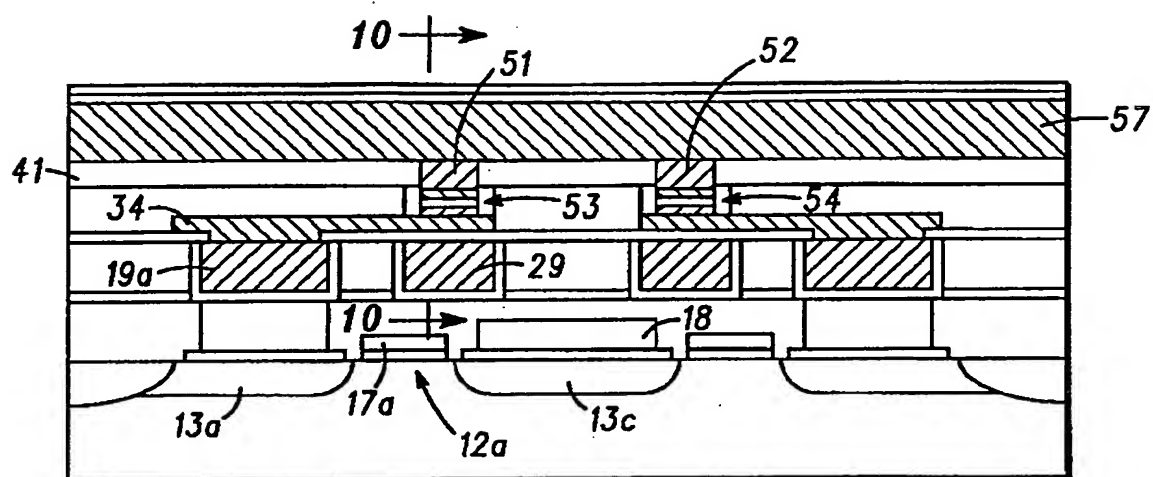
【図 7】



【図 8】



【図 9】



【図 10】

